مجله نخبگان علوم و مهندسی
Journal of Science and Engineering Elites
جلد ۸- شماره ۳ - سال ۱۴۰۲
www.ElitesJournal.ir

طراحی یک اشمیت تریگر سه ارزشی جدید و تحلیل پایداری در اشمیت تریگرهای سه ارزشی مبتنی بر CNTFET

هادی صمدی*[۱]، فرامرز آقائی لیاولی[۲]

۱- دانشکده برق، دانشگاه خواجه نصیر الدین طوسی، تهران، ایران
۲- کارشناسی ارشد برق- الکترونیک، شرکت هل، شهر صنعتی البرز، قزوین، ایران

*h.samadimehreh@email.kntu.ac.ir

ارسال: مرداد ماه ۱۴۰۲ پذیرش: مرداد ماه ۱۴۰۲

چکیده

در این مقاله تاثیر سایزینگ مناسب ترانزیستورها و تغییرات ساخت بر روی پاسخ پله در اشمیت تریگرهای سه ارزشی رایج و نمونه پیشنهادی مبتنی بر CNTFET را بررسی کرده‌ایم. در پایان به این نتیجه رسیده‌ایم که شبیه‌سازی با HSPICE نشان می‌دهد نمونه پیشنهادی عملکرد بهتری از نمونه‌های رایج دارد. همچنین نتایج تحلیل مونت کارلو در شبیه ساز مداری HSPICE نشان می دهد، که گیت اشمیت تریگر پیشنهاد شده حتی بدترین مفروضات تغییرات فرآیند هم تاثیر زیادی بر عملکرد آن ندارد.

کلمات کلیدی: اشمیت تریگر، سه ارزشی، CNTFET.

۱- مقدمه

در مطالعه طراحی مدارهای مجتمع یکی از دو روش زیر را میتوان اتخاذ کرد [۱]؛

۱ . شروع از مکانیک کوانتومی و فهم فیزیک حالت جامد، ادوات نیمه رسانا، مدلسازی ادوات و سرانجام طراحی مدار.

۲. کارکردن با هر قطعه نیمه رسانا به صورت یک جعبه سیاه که رفتار آن برحسب ولتاژها و جریانهای ترمینال توصیف می‌شود، بدون آنکه خیلی به عملکرد داخلی قطعه توجه شود.

تجربه نشان میدهد که هیچکدام از این دو روش به تنهایی بهینه نیست. در رویکرد اول، خواننده نمیتواند ارتباط تمام فیزیک را با طراحی مدار دریابد و در رویکرد دوم همواره از محتوای آن جعبه ناآگاه است. بدین منظور ما به عنوان یک طراح مدار مجتمع دانش مهندسی برق را برای فهم سریع و شهودی مدارهای بزرگ و دانش ریاضی را برای فرموله کردن اثرات غیر ملموس ولی مهم در یک مدار و سلیقه هنری را برای طراحی توپولوژی‌های جدید مداری بکار برده‌ایم.

مدارهای مجتمع بسته به نوع کاربرد آن میتواند انواع مختلفی داشته باشد: مدارهای مجتمع آنالوگ، دیجیتال و فرکانس بالا. رویکرد ما در این پایان نامه طراحی مدارهای مجتمع دیجیتال است ولی نه با ترانزیستورهای توده‌ای(حجمی) سیلیکون رایج بلکه ترانزیستور انتخابی ما نانولوله کربنی است. به دلیل محدودیت‌های اثرات کانال کوتاه در ترانزیستور سیلیکونی و پتانسیل‌های بالا ترانزیستور نانولوله کربنی، این ترانزیستور یکی از نامزدهای جایگزین ترانزیستور سیلیکون در طراحی مدارهای دیجیتال در ابعاد نانو است. چندین رساله و کتاب مفصل و دهها مقاله با جرئیات بیشتری به طراحی مدارهای دیجیتال با ترانزیستور نانولوله کربنی در حال حاضر پرداخته‌اند. طراحی مدارهای دیجیتالی عمدتا به دو منطق دودویی و منطق چند ارزشی انجام میشود. طراحی با منطق چند ارزشی به

دلیل استفاده از سطوح منطقی بیشتر باعث سرعت بالاتر و چگالی سطح تراشه کمتر نسبت به منطق دودویی در طراحی مدارهای مجتمع دیجیتال مبتنی بر ترانزیستورهای سیلیکونی دارد.

۲- تلاش منطقی

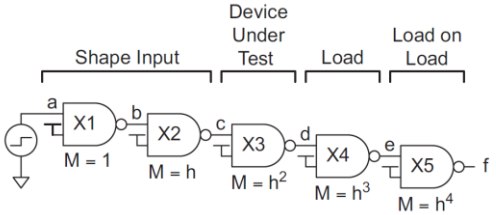
یکی از مسائل مهمی که طراحان مدارهای مجتمع دیجیتال معمولا با آن روبرو هستند مساله تاخیر مدار و تعیین اندازه‌ی ترانزیستورها برای بهینه سازی سرعت کار مدار است. در اینجا از روشی مبتنی بر کار نویسندگان [۲] استفاده شده است که به کمک آن میتوان تاخیر مدارها را به آسانی و دقت مناسبی تخمین زد و تاخیر مسیر بحرانی را با تعیین اندازه مناسب گیتها به حداقل رساند. این روش به تلاش منطقی معروف است.

یک مدل تاخیری RC خطی، تاخیر را برحسب تابع خطی از گنجایش خروجی (FO) گیت نشان میدهد. بر اساس این مشاهده، میتوان مشخصات گیت را بدست آوردن شیب و عرض از مبدا آن تابع تحلیل کرد. در کل تاخیر نرمالیزه شده بصورت $d=f+p$ بدست میآید، که p تاخیر پارازیتی ذاتی گیت در حالت بدون بار و f تاخیر تلاشی که به پیچیدگی و گنجایش خروجی گیت بستگی دارد. تاخیر تلاشی از رابطه $f=g\cdot h$ بدست میآید، که در آن پیچیدگی با تلاش منطقی (g) نشان داده شده و h تلاش الکتریکی میباشد. تلاش الکتریکی بیانگر بار خازنی خارجی است که گیت آن را درایو میکند، و از رابطه $h=Cout/Cin$ بدست میآید. گیتی که h گیت همانند خودش را درایو میکند دارای گنجایش خروجی (FO) یا تلاش الکتریکی h است.

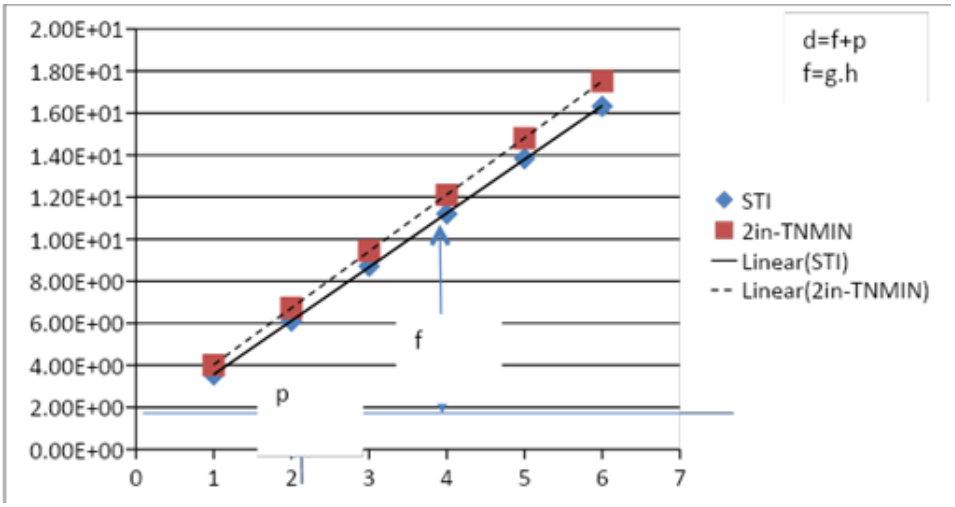
دو راه برای محاسبه تلاش منطقی وجود دارد. یک روش، شبیه سازی گیت و رسم نمودار تاخیر برحسب گنجایش خروجی (FO) است. روش دیگر برای بدست آوردن تلاش منطقی، بدون شبیه سازی، با محاسبه آن بر حسب تعداد نانولوله¬ها (و با فرض ثابت بودن طول گیت) امکان پذیر است. برای تحلیل گنجایش خروجی (FO) یا تلاش الکتریکی (h) بروش شبیه سازی باید از مدار تست شکل ۱ استفاده کرد. شکل ۱ یک مدار تست برای بررسی تغییرات گنجایش خروجی (FO) یا تلاش الکتریکی (h) گیت TNMIN دو-ورودی در نرم افزار HSPICE است. عینا همین مدار برای گیت STI پیشنهاد شده نیز انجام شده است. شکل ۲ تاخیر نرمال شده (d) بر حسب تلاش الکتریکی برای گیتهای STI در خانواده مکمل و همچنین TNMIN دو-ورودی به روش شبیهسازی با HSPICE را نشان میدهد. بدین صورت که در تحلیل گذرا (.TRAN) نرم افزار HSPICE تغییرات گنجایش خروجی (FO) یا تلاش الکتریکی (h) از ۱ تا ۶ و با گام ۱ با استفاده از دستور زیر در نظر گرفته شده است.

.TRAN 0.0001ps 7ns SWEEP h 1 6 1

برازش منحنی داده های حاصل از نتایج شبیه ساز HSPICE با استفاده از قابلیت Trend Line خطی در نرم افزار Excel در شکل ۲نشان داده شده است. نقطه تقاطع با محور Y تاخیر پارازیتی نرمالیزه شده گیت STI در حالت بدون بار و شیب خط بیانگر تلاش منطقی (g) می باشد. طبق تعریف تلاش منطقی (g) گیت STI برابر ۲.۵۵ و گیتهای پیچیده تر دارای تلاشهای منطقی بزرگتری هستند که نشان دهنده آن است که برای درایو یک گنجایش خروجی مشخص، به زمان بیشتری نیاز است. برای مثال گیت TNMIN با دو ورودی برابر ۲.۶۹ است. این در حالی است که تلاش منطقی برای گیتها NOT و NAND در منطق دودویی مبتنی بر CNTFET بترتیب، ۱ و ۲/۳ است [۳]. مقایسه بین این نتایج نشان می دهد در گیتهای سه ارزشی مبتنی بر CNTFET بدلیل اینکه عمده تاخیر در مدل RC ناشی از مقاومت بارها (مقاومتی، دیودی و/یا منبع جریان) است، نوع گیت منطقی (STI، TNMIN و/یا TNMAX) تاثیر خیلی کمی در تاخیر دارد.



شکل ۱- یک مدار تست برای بررسی تغییرات گنجایش خروجی (FO) یا تلاش الکتریکی (h) گیت TNMIN دو ورودی در نرم افزار HSPICE. پارامتر M در این شکل مربوط به تعداد زیرمدارها در نرم افزار HSPICE می باشد



شکل ۲– تاخیر نرمالیزه شده (d) برای گیت STI و TNMIN دو-ورودی بر حسب گنجایش خروجی (FO) یا تلاش الکتریکی (h)

۳– تغییر پذیری

تغییر پذیری (PVT) یک مورد اجتناب ناپذیر برای رعایت حاشیه اطمینان در طراحی می باشد. در حالت کلی، سه منبع مختلف برای برای تغییر وجود دارد که دوتای آنها مربوط به محیط و یکی مربوط به تولید است. این منابع عبارتند از؛

- دمای کار (T)
- ولتاژ تغذیه (V)
- تغییر فرآیند (P)

ما در این کار فقط اثر تغییرات فرآیند درCNTFET ها را بررسی کردهایم که موارد زیر است ؛

۱ . تغییرات آلایش در نواحی سورس درین CNTFET که باعث تغییرات جریان درایو می‌شود.

۲. تغییرات قطر CNT در CNTFET که باعث تغییرات در جریان درایو می‌شود.

۳.CNTهای فلزی که نباید در CNTFETها مورد استفاده قرار گیرند. با توجه به شرط نیمه‌هادی بودن CNT که اختلاف کایرالیتی (n1, n2) مضربی صحیح از ۳ باشد، برای یک توزیع تصادفی از کایرالیتی CNT تقریبا ۱۳ CNTها فلزی هستند [۲۱] و [۵۹]. اما در روشهای سنتز کنونی CNT بین ٪۱۰ تا ٪۷۰، CNTها فلزی هستند. حذف نانولوله‌های فلزی زیر گیت ترانزیستور بروش سوزاندن الکتریکی و زدودن شیمیایی/پلاسما صورت می گیرد. در این کار ما فرض کردیم که می توان تمامی CNT(ها)ی فلزی را در فرآیند حذفی بینقص، بطور کامل حذف کرد. در این سناریو خوشبینانه تعداد باقیمانده CNTهای نیمه هادی در زیر هر گیت ترانزیستور متغیر تصادفی ما است، که باعث تغییرات قابل توجه در درایو جریان می شود.

برای تعیین کمیت اثر تغییرات آلایش، قطر و حذف CNT(ها)ی فلز، ما از تحلیل مونت کارلو در HSPICE بهره بردهایم. اطلاعات آماری مربوط به هر افزاره را باید از شرکت سازنده آن دریافت کرد. با توجه به اینکه CNTFET بصورت تجاری ساخته نمی شود ما یک توضیع نرمال (گوسی) با واریانس ٪۰.۳ برای تغییرات سطح آلایش سورس/درین، ٪۱۰ برای تغییرات قطر CNT با معیار انحراف 3σ برای هرکدام در نظر گرفته‌ایم.

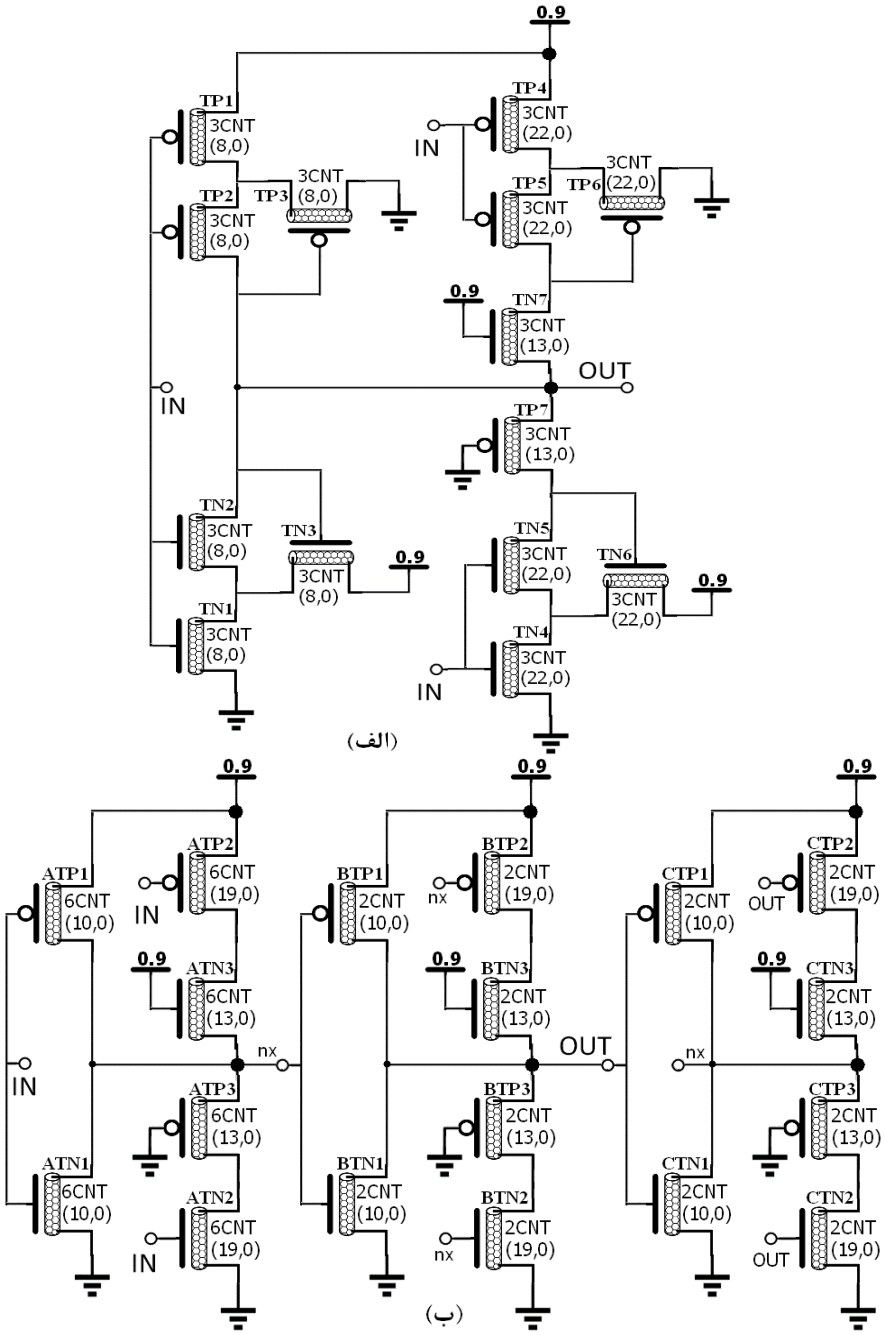
با توجه به اینکه هدف ما تاثیر فرآیند ساخت بر روی گیت STI خانواده مکمل پیشنهاد شده می باشد، میانگین سطح آلایش را ٪۱ و میانگین قطر CNT با توجه کایرالیتی هرکدام از ترانزیستورها انتخاب شده است. برای افزاره های مدار مورد هدف ما احتمال فلزی بودن CNT برابر ٪۰ در نظر گرفته شده است. چون با وجود افزاره با یک CNT در مدار، غیر ممکن نیست که احتمال فلزی بودن آن حتمی باشد، و در نتیجه فرآیند حذف، باعث مدار باز شود. همچنین تعداد تغییرات تصادفی برابر ۳۰ (MONTE=10) در تحلیل dc نرم افزار HSPICE در نظر گرفته شده است. نتایج تحلیل مونت کارلو در شبیه ساز مداری HSPICE نشان می دهد، که گیت اشمیت تریگر پیشنهاد شده حتی بدترین مفروضات تغییرات فرآیند هم تاثیر زیادی بر عملکرد آن ندارد.

۴- اشمیت تریگر

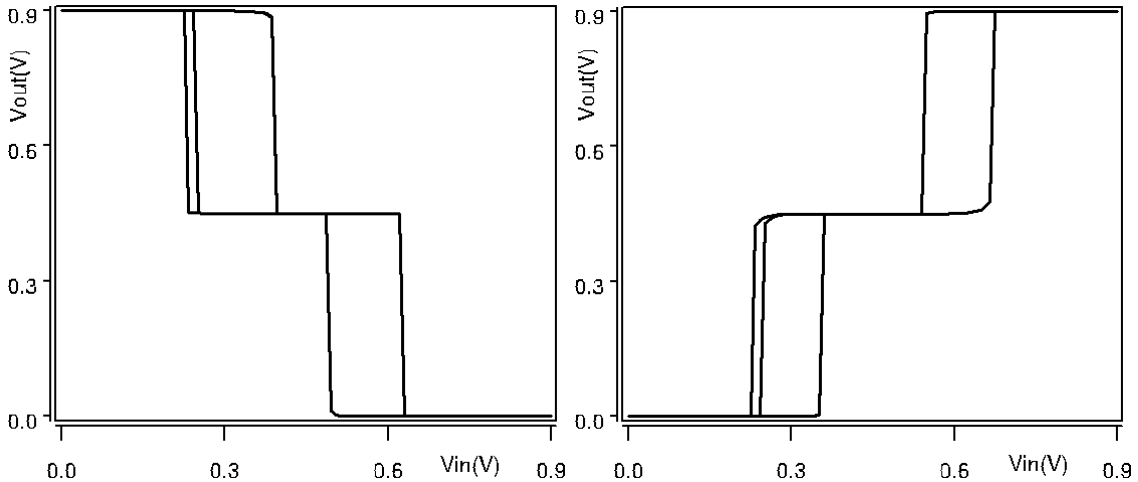
به طور کلی به مدارهایی که رفتار (و/یا عملکرد) آنها به گونهای باشد که، هر گونه تغییر وضعیت سیگنال خروجی (trigger) آهسته، ناشی از یک تغییر وضعیت سیگنال ورودی (traget) سریع باشد، به نام اشمیت [۴] معروف شده است [۵]. مدارهای اشمیت تریگر کاربردهای وسیعی در هردو مدارهای مجتمع آنالوگ و دیجیتال دارند. مستقل از کاربرد اشمیت تریگر، آن از یک تقویت کننده با گین بالای یک (>۱) و یک پسخور مثبت که یک تقویت کننده با گیت کوچکتر از یک (<۱) تشکیل شده است. "رازی" که در پشت اشمیت تریگرها نهفته است استفاده از همین پسخورد مثبت است. از یک نگاه دیگر، اشمیت تریگرها مدارهایی با دو ولتاژ آستانه هستند. هنگامی که سیگنال ورودی افزایش می یابد و دامنهی آن به ولتاژ آستانه بزرگتر میرسد مدار سوئیچ کرده و خروجی را تغییر وضعیت میدهد. و همچنین هنگامی که سیگنال ورودی به زیر ولتاژ آستانه کوچکتر کاهش می یابد نیز خروجی تغییر وضعیت می دهد. ولی هنگامی که سیگنال ورودی دامنهای بین دو ولتاژ آستانه دارد، خروجی در همان حالت قبل باقی میماند. این باقی ماندن در حالت قبل ناشی از فیدبک مثبت، اثر پسماند نام دارد. اثر پسماند به خوبی در مشخصه (و/یا منحنی) انتقالی ولتاژ (VTC) اشمیت تریگرها نمایان است. سیگنال خروجی مدارهای اشمیت تریگر ایمنی بالایی به سیگنال ورودی نویزدار دارند. در مدارهای مجتمع دیجیتال، اشمیت تریگرها بطور قابل توجهی باعث بهبود (بالا بردن) حاشیه نویز (NM) در پیادهسازی گیتهای منطقی می شوند.

پیاده سازی اشمیت تریگرها در سطح ترانزیستور عموما مبتنی بر ترانزیستورهای سیلیکنی مکمل فلز-اکسید- نیمههادی (Si-CMOS) می باشد. اما در دهه اخیر به دلیل محدودیت مقیاس پذیری (اثرات کانال کوتاه) از جمله جریان نشتی ناشی از فناوری های بسیار زیر میکرون این کار با استفاده از ترانزیستورهای مقیاس نانو از جمله نانولوله کربنی انجام می شود. این ترانزیستورها جریان نشتی مانند MOSFET ندارند، اما از یک جریان مزاحم دیگری به نام تونل زنی باند در باند (BTBT) رنج می¬برند. ترانزیستور اثرمیدانی نانولوله کربنی (CNTFET) برای پیاده سازی مدارهای منطقی به دلیل عملکرد بالا و توان مصرفی کم گزینه مناسبی می‌باشد.

به طور رایج، طراحی مدارهای دیجیتال با دو سطح منطقی صفر و یک در فضای دودویی انجام می شود، با این حال می توان با اضافه کردن چند سطح منطقی دیگر به منطق دودویی تحت عنوان منطق چند ارزشی(MVL) از آن در طراحی مدارهای دیجیتال بهره برد. با اضافه کردن یک یا دو سطح منطقی به منطق دودویی به ترتیب، به آن منطق سه ارزشی و چهار ارزشی گفته می شود. منطق چند ارزشی دارای حوزه های متفاوتی می باشد. از متداولترین حوزه های منطق چند ارزشی لوکاسیه ویچ و کلینی معروف شده‌اند. از این میان حوزه کلینی با توجه به سمبلیک و تعاریف مناسبی که برای عملگرهای پایه دارد در دنیای علوم کامپیوتر بسیار شناخته شده و مورد قبول است. از وابستگی ولتاژ آستانه به کایرالیتی (قطر) نانولوله در ترانزیستورهای CNTFET میتوان در پیاده سازی منطق چندارزشی استفاده کرد. روش های پیاده سازی متعددی برای طراحی مدارهای منطقی چند ارزشی مبتنی بر CNTFET در نوشتارهای علمی میتوان یافت. از میان روشهای پیاده سازی مبتنی بر CNFET در منطق چند ارزشی می توان با بار مقاومتی [۶]، با بار دیودی [۷] و [۸] را نام برد. این سه روش از یک منبع تغذیه برای سطوح مختلف ولتاژ استفاده کرده اند. اما یک روش دیگر با منابع تغذیه متعدد ارائه شده است. استفاده از بار- مقاومتی چگالی سطح تراشه را افزایش می دهد و تکنیک رایج برای طراحی اشمیت تریگر وجود دارد؛ یکی استفاده نوع معکوس و دیگری غیر معکوس. عملکرد نوع معکوس کننده عملکرد بدین صورت است که یک گیت STI با یک ولتاژ آستانه بالاتر استفاده می شود و برای ایجاد پسماند نیاز داریم که ولتاژ آستانه به زیر ولتاژ آستانه قبلی کاهش بیابد. استفاده از ترانزیستورهای TP4 با بایاس سورس فالوور به عنوان فیدبک مثبت به همراه ترانزیستورهای TP6 به عنوان بار فعال برای تامین بایاس چنین کاری را انجام می دهد. در نوع غیر معکوس بدین صورت است که از دو نوع گیت STI پشت در پشت به منظور عنصر حافظه در خروجی به کار گرفته می شوند. یک گیت STI قویتر (منظور تعداد نانولوله بیشتر) دیگر هم در ورودی وجود دارد. که با افزایش تعداد نانوله (مشابه عرض در ترانزیستور Si-CMOS) می توان میزان پسماند را تعیین کرد.



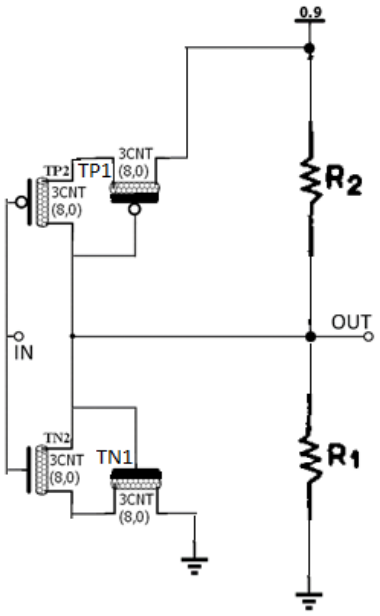
شکل ۳– پیاده سازی گیت اشمیت تریگر سه ارزشی مبتنی بر CNTFET، (الف) نوع معکوس کننده، (ب) نوع غیر معکوس[۹]



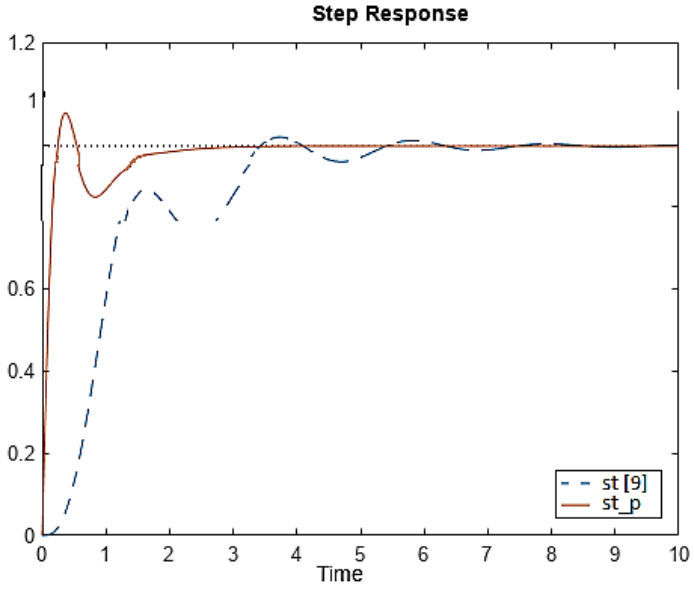
شکل ۴– مشخصه انتقالی ولتاژ dc گیت اشمیت تریگر سه ارزشی مبتنی بر CNTFET، (الف) نوع معکوس کننده، (ب) نوع غیر معکوس[۹]

۵- اشمیت تریگر پیشنهادی و تحلیل پایداری آن

اشمیت تریگر پیشنهادی با تعداد ترانزیستورهای کمتر در مقایسه با ساختارهای مشابه در شکل ۵ نشان داده شده است. که در آن ترانزیستورهای TP1 و TN1 از نوع تخلیه ای هستند. شکل ۶ پاسخ پله اشمیت تریگر سه ارزشی پیشنهاد شده می‌باشد.



شکل ۵- پیاده سازی گیت اشمیت تریگر سه ارزشی پیشنهادی مبتنی بر CNTFET



شکل ۶- پاسخ پله اشمیت تریگر سه ارزشی پیشنهاد شده [۹]

۱۰- نتیجه‌گیری

در این گزارش ما یک ساختار جدید اشمیت تریگر سه ارزشی مبتنی بر CNTFET معرفی و آن را با نمونه‌های رایج مقایسه کرده‌ایم. و با شبیه‌سازی با نرم افزار HSPICE به این نتیجه رسیده‌ایم که نمونه پیشنهادی عملکرد بهتری از نمونه‌های رایج دارد. همچنین نتایج تحلیل مونت کارلو در شبیه ساز مداری HSPICE نشان میدهد، که گیت اشمیت تریگر پیشنهاد شده حتی بدترین مفروضات تغییرات فرآیند هم تاثیر زیادی بر عملکرد آن ندارد.

۱۱- مراجع

1. B. Razavi, “Design of Analog CMOS Integrated Circuits,” New York, NY: McGraw-Hill, 2001.

2. . I. Sutherland, B. Sproull, and D. Harris, “Logical Effort: Designing Fast CMOS Circuits,” San Francisco, CA: Morgan Kaufmann, 1999

3. Y. B. Kim, Y. B. Kim, and F. Lombardi, "A novel design methodology to optimize the speed and power of the CNTFET circuits," IEEE International Midwest Symposium on Circuits and Systems, MWSCAS '09, pp. 1130-1133, 2-5 Aug. 2009.

4. O. H. Schmitt, “A Thermionic Trigger,” Journal of Scientific Instruments, vol. 15, January 1938, pp. 24–26.

5. J. Rabaey, A. Chandrakasan, and B. Nikolic, "Digital Integrated Circuits," 2nd ed. Englewood Cliffs, NJ, USA: Prentice-Hall, 2003.

6. A. Raychowdhury, K. Roy, Carbon-nanotube-based voltage-mode multiple-valued logic design, IEEE Trans. Nanotechnol. 4 (2) (2005) 168–179.

7. S. Lin, Y. Kim, F. Lombardi, CNTFET-based design of ternary logic gates and arithmetic circuits, IEEE Trans. Nanotechnol. 10 (2) (2011) 217–225.

8. Jinghang Liang, Linbin Chen, Jie Han, Fabrizio Lombardi, Design and evaluation of multiple valued logic gates using pseudo N-type carbon nanotube FETs, IEEE Trans Nanotechnol. 13 (4) (2014) 695–708.

9. Yazdan Far, Maryam and Falah Mehrjardi, Yaser, 2014, Design of trivalent Schmitt trigger using carbon nanotube transistors, the third national conference and the first international conference on applied researches in electrical, mechanical and mechatronic engineering, Tehran.